

MENU

SEARCH

INDEX

DETAIL

JAPANESE

1 / 1

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-014169

(43)Date of publication of application : 22.01.1993

(51)Int.Cl.

H03K 19/0175

H03K 17/16

H03K 17/687

(21)Application number : 03-163273

(71)Applicant : NEC CORP

(22)Date of filing : 04.07.1991

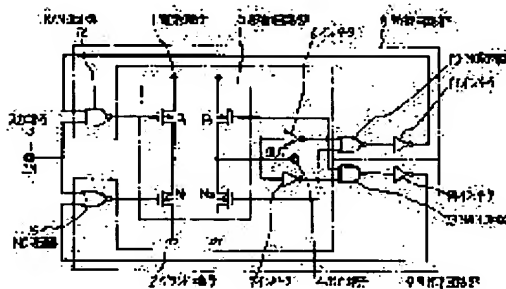
(72)Inventor : FURUKI TSUTOMU

(54) BUFFER CIRCUIT

(57)Abstract:

PURPOSE: To suppress a fluctuation of a ground potential and a power supply potential caused when an output signal OUT is switched without slowing down a switching speed.

CONSTITUTION: A drive circuit section 5 consists of a PMOS TR P1 and an NMOS TR N1 with a large current drive capability and a PMOS TR P2 and an NMOS TR N2 with a small current drive capability. An output potential of the drive circuit section 5 is sensed by two inverters 6, 7 with a different logic threshold voltage and a load is driven by a large current first at the time of switching the output signal OUT and driven later at a small current through the selection of the drive MOS TR. The output potential may be sensed by using a hysteresis circuit.



LEGAL STATUS

[Date of request for examination] 14.11.1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3055223

[Date of registration] 14.04.2000

[Number of appeal against examiner's decision of rejection]

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-14169

(43)公開日 平成5年(1993)1月22日

(51)Int.Cl.⁵

識別記号

庁内整理番号

FI

技術表示箇所

H 0 3 K 19/0175
17/16
17/687

H 9184-5 J

8941-5 J

8221-5 J

H 0 3 K 19/ 00

17/ 687

1 0 1 F

F

審査請求 未請求 請求項の数4(全 8 頁)

(21)出願番号

特願平3-163273

(22)出願日

平成3年(1991)7月4日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 古木 勉

東京都港区芝五丁目7番1号日本電気株式
会社内

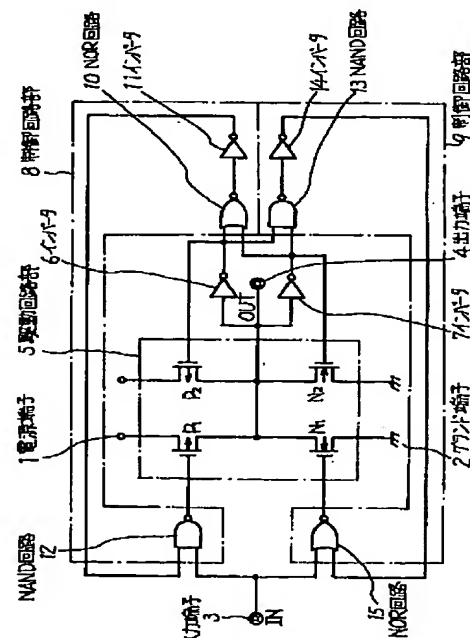
(74)代理人 弁理士 内原 晋

(54)【発明の名称】 バッファ回路

(57)【要約】

【構成】電流駆動能力の大きいPMOSトランジスタ P_1 およびNMOSトランジスタ N_1 と、電流駆動能力の小さいPMOSトランジスタ P_2 およびNMOSトランジスタ N_2 とで駆動回路部5を構成する。駆動回路部5の出力電位を、論理しきい値電圧の異なる2つのインバータ6および7でセンスし、出力信号OUTのスイッチング時に、始めに大きな電流で負荷を駆動し、後に小さな電流で駆動するように、駆動用MOSトランジスタを選択して動作させる。出力電位のセンスは、ヒステリシス回路で行なってもよい。

【効果】出力信号OUTがスイッチングする時に発生する電源電位やグランド電位の変動を、スイッチングスピードを遅くすることなしに、小さく抑えることができる。



【特許請求の範囲】

【請求項1】 電流駆動能力が異なる複数の駆動用PチャンネルMOS電界効果型トランジスタと電流駆動能力が異なる複数の駆動用NチャンネルMOS電界効果型トランジスタとをCMOSインバータ構成に接続してなる駆動回路部の出力電位を、論理しきい値電圧の異なる2つのセンス用インバータでセンスし、

前記2つのセンス用インバータからの2つの出力信号と外部からの入力信号とにより、前記駆動用MOS電界効果型トランジスタを選択し、

前記駆動回路部の出力電位がスイッチングする時に、そのスイッチングの前期においては、電流駆動能力の大なる駆動用MOS電界効果型トランジスタで負荷を駆動し、スイッチングの後期においては、電流駆動能力の小なる駆動用MOS電界効果型トランジスタで負荷を駆動するように動作することを特徴とするバッファ回路。

【請求項2】 電流駆動能力が異なる複数の駆動用PチャンネルMOS電界効果型トランジスタと電流駆動能力の異なる複数のNチャンネルMOS電界効果型トランジスタとをCMOSインバータ構成に接続してなる駆動回路部の出力電位を、ヒステリシス回路でセンスし、前記ヒステリシス回路の出力信号と外部からの入力信号とにより、前記駆動用MOS電界効果型トランジスタを選択し、

前記駆動回路部の出力電位がスイッチングする時に、そのスイッチングの前期においては、電流駆動能力の大なる駆動用MOS電界効果型トランジスタで負荷を駆動し、スイッチングの後期においては、電流駆動能力の小なる駆動用MOS電界効果型トランジスタで負荷を駆動するように動作することを特徴とするバッファ回路。

【請求項3】 電流駆動能力の大なる第1のPチャンネルMOS電界効果型トランジスタと電流駆動能力の大なる第1のNチャンネルMOS電界効果型トランジスタとを相補型に接続したCMOSインバータと、電流駆動能力の小なる第2のPチャンネルMOS電界効果型トランジスタと電流駆動能力の小なる第2のNチャンネルMOS電界効果型トランジスタとを相補型に接続したCMOSインバータとを、互いの出力端を共通にして並列に接続してなる駆動回路部と、

高い論理しきい値電圧を有する第1のインバータと、低い論理しきい値電圧を有する第2のインバータと、前記第1のPチャンネルMOS電界効果型トランジスタの導通状態を制御する第1の制御回路部と、前記第1のNチャンネルMOS電界効果型トランジスタの導通状態を制御する第2の制御回路部とを含み、第1のインバータおよび第2のインバータは、それぞれの入力端が前記駆動回路部の出力端に接続され、第1のインバータの出力端が、前記第2のPチャンネルMOS電界効果型トランジスタのゲート電極に接続され、第2のインバータの出力端が、前記第2のNチャンネルMO

S電界効果型トランジスタのゲート電極に接続され、前記第1の制御回路部は、第1の2入力NOR回路と第3のインバータと第1の2入力NAND回路とが縦続に接続されてなり、第1の2入力NOR回路の一方の入力端に前記第1のインバータの出力信号が入力され他方の入力端に前記第2のインバータの出力信号が入力され、前記第1の2入力NAND回路の一方の入力端に前記第3のインバータの出力信号が入力され他方の入力端に外部からの入力信号が入力されるように接続され、

10 前記第2の制御回路部は、第2の2入力NAND回路と第4のインバータと第2の2入力NOR回路とが縦続に接続されてなり、第2の2入力NAND回路の一方の入力端に前記第2のインバータの出力信号が入力され他方の入力端に前記第1のインバータの出力信号が入力され、前記第2の2入力NOR回路の一方の入力端に前記第4のインバータの出力信号が入力され他方の入力端に前記外部からの入力信号が入力されるように接続されている構成のバッファ回路。

【請求項4】 電流駆動能力の大なる第1のPチャンネルMOS電界効果型トランジスタと電流駆動能力の大なる第1のNチャンネルMOS電界効果型トランジスタとを相補型に接続したCMOSインバータと、電流駆動能力の小なる第2のPチャンネルMOS電界効果型トランジスタと電流駆動能力の小なる第2のNチャンネルMOS電界効果型トランジスタとを相補型に接続したCMOSインバータとを、互いの出力端を共通にして並列に接続してなる駆動回路部と、ヒステリシス回路と、

一方の入力端が前記第1のPチャンネルMOS電界効果型トランジスタのゲート電極に接続された2入力のNAND回路と一方の入力端が前記第1のNチャンネルMOS電界効果型トランジスタのゲート電極に接続された2入力のNOR回路とを含み、ヒステリシス回路は、入力端が前記駆動回路部の出力端に接続されており、出力端が前記第2のPチャンネルMOS電界効果型トランジスタのゲート電極と前記第2のNチャンネルMOS電界効果型トランジスタのゲート電極と前記2入力のNAND回路の一方の入力端と前記2入力のNOR回路の一方の入力端とに接続されており、2入力のNAND回路および2入力のNOR回路は、それぞれの回路の一方の入力端には前記ヒステリシス回路の出力信号が入力され、それぞれの回路の他方の入力端には外部からの入力信号が入力されるように接続されている構成のバッファ回路。

45 【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はバッファ回路に関し、特に、CMOSインバータ構成のバッファ回路に関する。

【0002】

50 【従来の技術】この種の従来のバッファ回路について、

論理回路の出力用に用いられる出力バッファ回路を例にして説明する。図4(a)は、従来の出力バッファ回路の一例の回路図である。図4(a)を参照すると、この出力バッファ回路は、電源端子1とグランド端子2との間にドレイン電極を共通にして直列に接続されたPチャンネルMOS電界効果型トランジスタ（以後PMOSTランジスタと記す） P_1 とNチャンネルMOS電界効果型トランジスタ（以後NMOSTランジスタと記す） N_1 とからなる。2つのMOSTランジスタのゲート電極は共通にされてここがこの出力バッファ回路の入力端子3となっている。又、共通のドレイン電極がこの出力バッファ回路の出力端子4となっている。

【0003】上述の出力バッファ回路の回路接続は、論理回路としてのインバータと全く同じ接続である。しかし、出力バッファ回路においては、出力端子4に接続される負荷が、論理回路の場合とは違って重いので、駆動用トランジスタとしては電流駆動能力の大きいものが用いられている。特に高速性が要求されている場合ほど電流駆動能力を上げる必要があるために、駆動用トランジスタのチャンネル幅は大きくされており、例えばチャンネル幅が $200\mu\text{m}$ またはそれ以上のものが用いられている。

【0004】

【発明が解決しようとする課題】上述のように、出力バッファ回路は、重い負荷を高速で駆動するために、非常に大きな電流駆動能力を与えられている。すなわち、この出力バッファ回路が動作し、出力信号のレベルがハイからロウにスイッチングする時や、あるいはロウからハイにスイッチングする時には大きな駆動電流が流れる。このことから、上述の回路構成の出力バッファ回路においては、これと電源線やグランド線を共有する他の回路に悪影響を及ぼすという問題が起ることがある。

【0005】例えば、従来の出力バッファ回路が半導体集積回路に内蔵された時などには、この出力バッファ回路の動作に伴って、同じチップ上に設けられた論理回路などの内部回路や、他のバッファ回路の動作マージンを低下させたり、はなはだしい時には、誤動作を起させることがある。以下にその説明を行なう。

【0006】近年、半導体集積回路は、高速化、高密度化、大規模化が非常に進んでおり、それに伴ってチップ上の配線は非常に細く、長くなる傾向にある。このため、電源配線やグランド配線に寄生する抵抗も大きくなってきている。

【0007】ここで、出力バッファ回路において、その出力信号の電位レベルがスイッチングする時を考えると、入力信号INが、図4(b)に示すように、ハイからロウへ変化する時には、出力信号OUTがロウからハイへ変化する。そしてこの時、電源端子1から出力端子4に接続されている負荷（図示せず）に充電電流が流れる。すなわち、電源線に寄生する抵抗に大きな充電電流

が流れることになり、このため、図4(b)に示すように、電源電位が一時的に低下する。

【0008】一方、入力信号INが、ロウからハイへ変化する時には、出力信号OUTがハイからロウへ変化する。この時には、出力端子4に接続されている負荷からグランド端子2に放電電流が流れる。すなわち、グランド線に寄生する抵抗に大きな放電電流が流れることになり、このため、図4(b)に示すように、グランド電位が一時的に上昇する。

【0009】そして、上述のような、出力バッファ回路が動作することによって電源線やグランド線に発生する電位変動は、この同じ電源線やグランド線に接続されている他の回路の動作マージンを低下させる方向の変動であるので、これが大きい場合には、他の回路が誤動作を起してしまうことになる。

【0010】以上述べた電源線のグランド線の電位の変動は、充放電電流が大きく配線抵抗が大きいほど大きいので、近年のような、高速、高集積、大規模な半導体集積回路においては、特に大きな問題となっている。

【0011】なお、以上の説明は出力バッファ回路を例にして行なったが、このような電位変動の現象は、出力バッファ回路に限らず、論理回路として用いられるようなインバータや他の目的で用いられるバッファ回路であっても、駆動用のMOSTランジスタの電流駆動能力が大きい場合には当然起り得る現象である。

【0012】本発明は、以上のような従来のバッファ回路の問題点を鑑みてなされたものであって、バッファ回路の動作に伴って発生する電源線やグランド線の電位変動が起り難いバッファ回路を提供することを目的とする。

【0013】

【課題を解決するための手段】請求項1記載のバッファ回路は、電流駆動能力が異なる複数の駆動用PMOSTランジスタと電流駆動能力が異なる複数の駆動用NMOSTランジスタとをCMOSインバータ構成に接続してなる駆動回路部の出力電位を、論理しきい値電圧の異なる2つのセンス用インバータでセンスし、それぞれのセンス用インバータからの出力信号と外部からの入力信号とによって、駆動用MOSTランジスタを選択し、駆動回路部の出力電位がスイッチングする時に、そのスイッチングの前期においては、電流駆動能力が大きいMOSTランジスタで負荷を駆動し、スイッチングの後期においては、電流駆動能力が小さいMOSTランジスタで負荷を駆動するように動作することを特徴としている。

【0014】また、請求項2記載のバッファ回路は、請求項1記載のバッファ回路に用いられているものと同一の駆動回路部を持っており、この駆動回路部の出力電位をヒステリシス回路でセンスし、ヒステリシス回路の出力信号と外部からの入力信号とにより、駆動用MOSTランジスタを選択し、駆動回路部の出力電位がスイッチ

ングする時に、そのスイッチングの前期においては、電流駆動能力が大きいMOSトランジスタで負荷を駆動し、スイッチングの後期においては、電流駆動能力が小さいMOSトランジスタで負荷を駆動するように動作することを特徴としている。

【0015】

【実施例】次に、本発明の最適な実施例について図面を参照して説明する。図1は、本発明の第1の実施例の回路図である。図1を参照すると、本実施例は、駆動回路部5、2つのインバータ6および7、並びに2つの制御回路部8および9からなっている。

【0016】駆動回路部5は、図4(a)に示す従来の出力回路とは異なって、2つのCMOSインバータが、それぞれの出力端を共通にして並列接続された構成となっている。一方のCMOSインバータは、PMOSTランジスタ P_1 とNMOSTランジスタ N_1 とからなる。他方のCMOSインバータは、PMOSTランジスタ P_2 とNMOSTランジスタ N_2 とからなる。ここで、上記の4つの駆動用MOSトランジスタの電流駆動能力に関しては、PMOSTランジスタ P_2 およびNMOSTランジスタ N_2 の電流駆動能力は、PMOSTランジスタ P_1 およびNMOSTランジスタ N_1 の電流駆動能力に比べて非常に小さくなるように設定されている。

【0017】上述のインバータ6と7とは、それぞれの入力端が、前述の駆動回路部5の出力端（このバッファ回路の出力端子4）に接続されている。そして、インバータ6は、出力端がPMOSTランジスタ P_2 のゲート電極に接続されている。又、インバータ7は、出力端がNMOSTランジスタ N_2 のゲート電極に接続されている。なお、この2つのインバータ6と7は、図2(a)に示す入出力特性で表されるように、論理しきい値電圧が異なるように設定されている。すなわち、インバータ6は、高い論理しきい値電圧 V_1 を持ち、一方、インバータ7は、低い論理しきい値電圧 V_2 を持つ。

【0018】制御回路部8は、PMOSTランジスタ P_1 の導通状態を制御するものであって、2入力NOR回路10とインバータ11と2入力NAND回路12とが縦続に接続された構造となっている。2入力NOR回路10は、一方の入力端に前述のインバータ6の出力信号が入力され、他方の入力端にインバータ7の出力信号が入力されている。又、2入力NAND回路12は、一方の入力端に前述のインバータ11の出力信号が入力され、他方の入力端に外部からの入力信号INが入力されている。

【0019】制御回路部9は、NMOSTランジスタ N_1 の導通状態を制御するものであって、2入力NAND回路13とインバータ14と2入力NOR回路15とが縦続に接続された構造となっている。2入力NAND回路13は、一方の入力端に前述のインバータ7の出力信号が入力され、他方の入力端にインバータ6の出力信号

が入力されている。又、2入力NOR回路15は、一方の入力端に前述のインバータ14の出力信号が入力され、他方の入力端に外部からの入力信号INが入力されている。

05 【0020】以下に、本実施例の回路動作を説明する。まず、初期状態として、入力信号INがロウで、出力信号OUTがロウである時、インバータ6および7の出力は共にハイになっている。従って、PMOSTランジスタ P_2 はオフ状態にあり、NMOSTランジスタ N_2 はオン状態にある。又、2入力NOR回路10の出力および2入力NAND回路13の出力は共にロウになっているので、インバータ11および14の出力は共にハイである。従って、2入力NAND回路12の出力はハイであり、また2入力NOR回路15の出力はロウであって、PMOSTランジスタ P_1 およびNMOSTランジスタ N_1 は共にオフ状態になっている。

【0021】次に、この状態にある時、入力信号INがロウからハイにスイッチングする場合を考えると、2入力のNAND回路12の出力がロウとなるので、PMOSTランジスタ P_1 がオン状態になる。この場合、NMOSTランジスタ N_2 もオン状態にあるが、前述のように、NMOSTランジスタ N_2 の電流駆動能力が非常に小さいため、出力信号OUTはハイへとスイッチングしてゆく。

25 【0022】このスイッチングの過程で、出力信号OUTの電位がインバータ7の論理しきい値電圧 V_2 よりも高くなると、インバータ7の出力がロウに変化しNMOSTランジスタ N_2 がオフ状態に変化する。同時に、2入力NAND回路13の出力がハイになり、インバータ14の出力がロウになる。

30 【0023】更に出力信号INの電位が上昇して、インバータ6の論理しきい値電圧 V_1 よりも高くなると、インバータ6の出力がロウになりPMOSTランジスタ P_2 がオン状態に変化する。同時に、2入力NOR回路10の出力がハイになり、インバータ11の出力がロウになる。従って、2入力NAND回路12の出力がハイになり、PMOSTランジスタ P_1 が再びオフ状態に変化する。

40 【0024】次に、この状態から、入力信号INがハイからロウにスイッチングする時を考える。この場合、2入力NOR回路15の出力がハイとなるので、NMOSTランジスタ N_1 がオン状態になる。この時、PMOSTランジスタ P_2 もオン状態にあるが、前述のように、PMOSTランジスタ P_2 の電流駆動能力が非常に小さいため、出力信号OUTはロウへとスイッチングしてゆく。

45 【0025】このスイッチングの過程で、出力信号OUTの電位がインバータ6の論理しきい値電圧 V_1 よりも低くなると、インバータ6の出力がハイに変化し、PMOSTランジスタ P_2 がオフ状態に変化する。同時に、

2入力NOR回路10の出力がロウになり、インバータ11の出力がハイになる。

【0026】更に出力信号INの電位が下降して、インバータ7の論理しきい値電圧 V_2 よりも低くなると、インバータ7の出力がハイになりNMOSトランジスタ N_2 がオン状態に変化する。同時に、2入力NAND回路13の出力はロウになり、インバータ14の出力がハイになる。従って、2入力NOR回路15の出力がロウになり、NMOSトランジスタ N_1 が再びオフ状態に変化する。

【0027】以上の回路動作における、入力信号IN、出力信号OUT、電源電位およびグランド電位の動作波形を図2(b)に示す。図2(b)を参照すると、入力信号INがロウからハイに変化し、出力信号OUTがロウからハイへスイッチングする場合には、出力信号OUTの波形の傾きが、インバータ6の論理しきい値電圧 V_1 を境にして、大から小へ変化していることがわかる。これは、前述の動作説明のように、出力信号OUTの電位がインバータ6の論理しきい値電圧 V_1 より低い時には、電流駆動能力の大きい方のPMOSトランジスタ P_1 が負荷を駆動し、出力信号OUTの電位が論理しきい値電圧 V_1 より高くなると、電流駆動能力の小さい方のPMOSトランジスタ P_2 が負荷を駆動するようになるからである。

【0028】一方、出力信号OUTがハイからロウへスイッチングする場合には、出力信号OUTの波形の傾きが、インバータ7の論理しきい値電圧 V_2 を境にして、大から小へ変化している。これは、前述の動作説明のように、出力信号OUTの電位がインバータ7の論理しきい値電圧 V_2 より高い時には、電流駆動能力の大きい方のNMOSTランジスタ N_1 が負荷を駆動し、出力信号OUTの電位が論理しきい値電圧 V_2 より低くなると、電流駆動能力の小さい方のNMOSTランジスタ N_2 が負荷を駆動するようになるからである。

【００２９】尚、本実施例では、出力信号OUTの振幅は、電源電位とグランド電位との間をフルスイングしていないが、電位V₁をハイ、電位V₂をロウに設定すれば、回路の動作にはなから支障はない。

【0030】ここで、本実施例における電源電位およびグランド電位の変動の大きさについて説明する。図2 (b) に示す本実施例の動作波形と、図4 (b) に示す従来の出力バッファ回路の動作波形とを比較すると、電源電位およびグランド電位の変動は、本実施例のものの方が従来のものよりも小さく抑えられている。これは、本実施例では、電流駆動能力の大きいPMOSTランジスタ P_1 またはNMOSTランジスタ N_1 によって大きな電流で負荷を駆動する時の出力信号OUTの振幅が $(V_1 - V_2)$ と小さく抑えられており、一方、出力信号OUTの電位が論理しきい値電圧 V_2 以下または論理しきい値電圧 V_1 以上の場合には、電流駆動能力の小さ

いNMOSTトランジスタN₂またはPMOSTトランジスタP₂で負荷を駆動しているからである。このことから、本実施例では、出力ハイ（V₁）または出力ロウ（V₂）へスイッチングする時間は従来ものと殆んど変っていないにも関わらず、電源電位やグランド電位の変動が小さくなっている。

【００３１】次に、本発明の第２の実施例について説明する。図３（ａ）は、本発明の第２の実施例の回路図である。

10 【0032】図3(a)を参照すると、本実施例が図1
に示す第1の実施例と異なるのは、駆動回路部5からの
出力信号OUTの電位をセンスする部分である。本実施
例では、ヒステリシス回路16で出力信号OUTの電位
をセンスし、4つのMOSトランジスタの導通状態を制
15 御している。

【 0 0 3 3 】 このヒステリシス回路 1 6 は、2 つのイン
 パータ 1 7 と 1 8 とをフリップフロップ型に接続した構
 成となっており、入出力特性は、図 3 (b) に示ような
 ヒステリシス特性を持っている。すなわち、このヒステ
 リシス回路 1 6 では、入力電位 (出力信号 O U T の電
 位) がロウからハイに変化する時の論理しきい値電圧
 (V_1) は高く、反対に、入力電位がハイからロウへ変
 化する時の論理しきい値電圧 (V_2) は低い。このヒス
 テリシス回路 1 6 は、入力端が駆動回路部 5 の出力端子
 4 に接続され、出力端が、PMOS トランジスタ P_2 お
 よび NMOS トランジスタ N_2 のゲート電極と、2 入力
 NAND 回路 1 2 の一方の入力端と、2 入力 NOR 回路
 1 5 の一方の入力端とに接続されている。

【0034】以下に、本実施例の動作について説明する。まず、初期状態として、入力信号INがロウで出力信号OUTがロウである時、ヒステリシス回路16の出力がハイであるので、PMOSTランジスタ P_2 はオフ状態にあり、NMOSTランジスタ N_2 はオン状態になっている。又、2入力のNAND回路12の出力はハイであり、2入力のNOR回路15の出力がロウであるので、PMOSTランジスタ P_1 とNMOSTランジスタ N_1 とは共にオフ状態になっている。

【 0 0 3 5 】次に、この状態にある時に、入力信号 I N がロウからハイに変化する場合を考える。この場合、2 40 入力 N A N D 回路 1 2 では、2 つの入力が共にハイになるので出力がロウになる。この結果、P M O S トランジスタ P₁ がオフ状態からオン状態になり、出力信号 O U T はロウからハイへスイッチングする。この時、N M O S トランジスタ N₂ もオン状態にあるが、前述のよう 45 に、N M O S トランジスタ N₂ の電流駆動能力が非常に小さいため、出力信号 O U T はハイへとスイッチングしてゆく。

【0036】このスイッチングの過程で、出力信号OUTの電位がヒステリシス回路16の高い方の論理しきい値電圧 V_{IH} よりも高くなると、ヒステリシス回路16の

出力がロウに変化するのでNMOSトランジスタ N_2 がオフ状態に変化し、PMOSトランジスタ P_2 がオフ状態からオン状態になる。同時に、2入力NAND回路12では、2つの入力がロウとハイになるので、出力がロウからハイに変化し、この結果、PMOSトランジスタ P_1 が再びオン状態からオフ状態になる。

【0037】次に、この状態から、入力信号INがハイからロウにスイッチングする時を考える。この場合、2入力NOR回路15においては、2つの入力共にロウになるので出力がハイとなる。この結果、NMOSトランジスタ N_1 がオフ状態からオン状態になり、出力信号OUTはハイからロウへスイッチングする。この時、PMOSトランジスタ P_2 もオン状態にあるが、前述のように、PMOSトランジスタ P_2 の電流駆動能力が非常に小さいため、出力信号OUTはロウへとスイッチングしてゆく。

【0038】このスイッチングの過程で、出力信号OUTの電位がヒステリシス回路16の低い方の論理しきい値電圧 V_2 よりも低くなると、ヒステリシス回路16の出力がハイに変化するのでPMOSトランジスタ P_2 がオン状態からオフ状態に変化し、NMOSトランジスタ N_2 がオフ状態からオン状態に変化する。同時に、2入力NOR回路15においては、2つの入力ロウとハイになるので、出力がハイからロウに変化する。この結果、NMOSトランジスタ N_1 が再びオン状態からオフ状態になる。

【0039】以上の回路動作からわかるように、本実施例では、入力信号INがロウからハイに変化し、出力信号OUTがロウからハイへスイッチングする場合、出力信号OUTの電位がヒステリシス回路16の高い方の論理しきい値電圧 V_1 より低い時には、電流駆動能力の大きいPMOSトランジスタ P_1 が負荷を駆動し、出力信号OUTの電位が論理しきい値電圧 V_1 より高くなると、電流駆動能力の小さいPMOSトランジスタ P_2 が負荷を駆動するようになる。

【0040】一方、出力信号OUTがハイからロウへスイッチングする場合には、出力信号OUTの電位がヒステリシス回路16の低い方の論理しきい値電圧 V_2 より高い時には、電流駆動能力の大きいNMOSトランジスタ N_1 が負荷を駆動し、出力信号OUTの電位が論理しきい値電圧 V_2 より低くなると、電流駆動能力の小さいNMOSトランジスタ N_2 が負荷を駆動するようになる。

【0041】すなわち、本実施例においても、大電流で負荷を駆動する時の振幅が小さく抑えられているので、第1の実施例と同様に、出力信号のスイッチング時に発生する電源電位およびグランド電位の変動は小さく抑えられる。しかも、出力ハイまたは出力ロウへスイッチングする時間は、従来ものと殆ど変らない。

【0042】尚、本実施例においては、ヒステリシス回

路16として、2つのインバータ17および18をフリップフロップ型に接続したものを用いたが、シュミットトリガ回路のような他の型のヒステリシス回路を用いても、本実施例と同様の効果を得ることができる。

05 【0043】

【発明の効果】以上説明したように、本発明では、電流駆動能力の異なる駆動用MOSトランジスタを相補型に接続してCMOSインバータからなる駆動部を構成し、この駆動部の出力をバッファ回路の出力としている。そしてこの出力電位を、論理しきい値電圧の異なる複数の

10 センス用インバータあるいはヒステリシス回路でセンスし、出力電位がスイッチングする時に、大きな電流から順次小さな電流で負荷を駆動するように、駆動用MOSトランジスタを選択して動作させている。

15 【0044】このことにより、本発明によれば、バッファ回路が動作し出力信号がスイッチングする時に発生する電源電位やグランド電位の変動を、スイッチングスピードを遅くすることなしに、小さく抑えることができる。従って、電源線やグランド線をこのバッファ回路と

20 共通にする他の回路に対する、動作マージンの低下あるいは誤動作というような悪影響を低下させることができる。

25 【0045】このことは、このバッファ回路を、近年のような、高速、高集積、大規模な半導体集積回路に内蔵させる場合に、特に大きな利点となる。

【図面の簡単な説明】

【図1】本発明の第1の実施例の回路図である。

【図2】分図(a)は、第1の実施例に用いられる2つのセンス用インバータの入出力特性を示す図である。

30 分図(b)は、第1の実施例における入出力信号の動作波形並びに電源電位およびグランド電位の変動の様子を表す図である。

【図3】分図(a)は、本発明の第2の実施例の回路図である。

35 分図(b)は、第2の実施例に用いられるヒステリシス回路の入出力特性を示す図である。

【図4】分図(a)は、従来の出力バッファ回路の一例の回路図である。

40 分図(b)は、分図(a)に示す従来の出力バッファ回路における入出力信号の動作波形並びに電源電位およびグランド電位の変動の様子を表す図である。

【符号の説明】

1 電源端子

2 グランド端子

45 3 入力端子

4 出力端子

5 駆動回路部

6, 7, 11, 14, 17, 18 インバータ

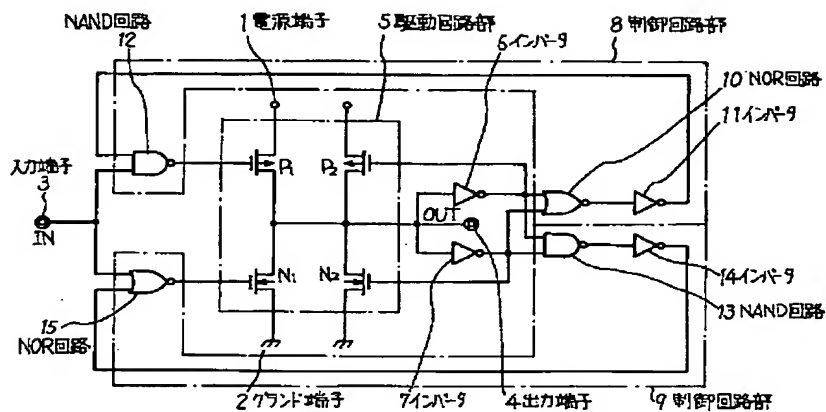
8, 9 制御回路部

50 10, 15 NOR回路

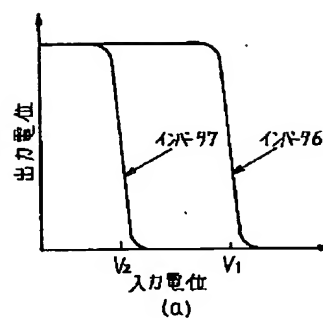
12, 13 NAND回路

16 ヒステリシス回路

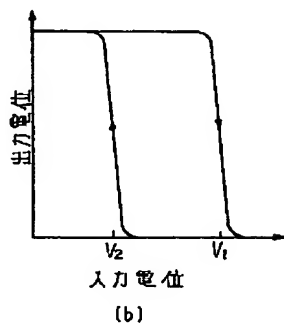
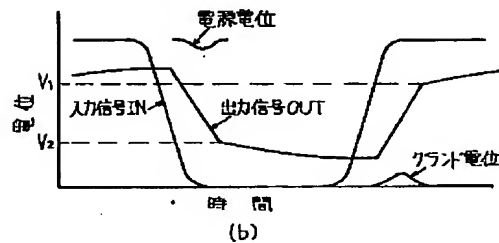
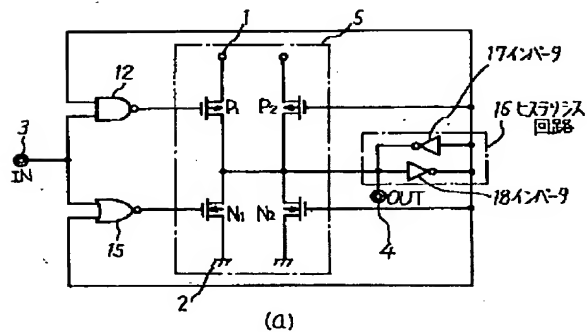
【図1】



【図2】



【図3】



【図4】

